

## LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

Patent Number: JP6175155  
Publication date: 1994-06-24  
Inventor(s): MIKAMI YOSHIAKI  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP6175155  
Application Number: JP19920322887 19921202  
Priority Number(s):  
IPC Classification: G02F1/136; G09G3/36; H01L29/784  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To simplify a structure and to improve display characteristics by forming signal electrodes and display electrodes by using the same thin films and constituting storage capacitors by using a part of the display electrodes.

**CONSTITUTION:** Picture elements are constituted by forming signal wirings 1 and the display electrodes 3 for which transparent electrodes are used by using the transparent conductive films of indium oxide, tin oxide, etc. The two drain electrodes 6 and one source electrode 5 of a TFT are also simultaneously formed in a part of the signal wirings 1 at this time. A silicon semiconductor film, an insulating film consisting of a silicon nitride or silicon oxide thin film and metallic thin films consisting of aluminum, chromium, tantalum, etc., are then successively formed and the metallic thin films consisting of the aluminum, chromium, tantalum, etc., the insulating film consisting of the silicon nitride or silicon oxide thin film and the silicon semiconductor film are successively patterned in a second patterning process, by which the scanning wirings 2 are formed. A part of the previously display electrodes 3 and the scanning wirings 2 are superposed on each other to form the storage capacitor parts 4. Then, the TFTs having a positive stagger structure are formed.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-175155

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7319-5G		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数4(全 4 頁)

(21)出願番号 特願平4-322887

(22)出願日 平成4年(1992)12月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 液晶表示装置及びその駆動法

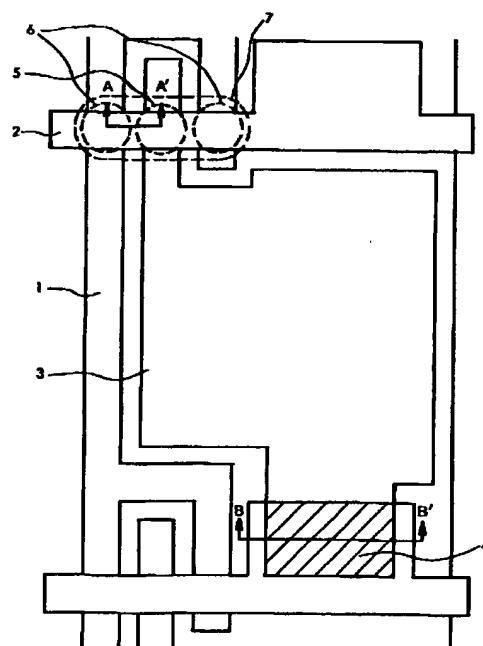
(57)【要約】

【目的】本発明の目的はホトマスク数を少なくして少ない工程数で製作でき、表示品位に優れたTFT-LCDを提供することにある。

【構成】上記目的は正スタガ構造TFTを用い、蓄積容量を併用することにより達成される。

【効果】本発明により、ホトマスク数を2枚と少なくして製作でき、表示品位に優れたTFT-LCDの表示が得られる。

図 1



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】複数の走査電極とそれらに交叉した複数の信号電極と、それぞれの交点に少なくとも1つのゲート電極を上部に配置した正スタガ構造を有するTFT素子、及び1つの表示電極を形成した画素を複数配置したTFT基板と、該基板に対向する第2の電極との間に液晶を挟持する液晶表示装置において、少なくとも該画素と同一材料からなる信号電極を具備し、かつ、

走査電極の下には酸化珪素、窒化珪素または、金属酸化物薄膜及び、金属窒化物薄膜からなる絶縁層と、薄膜半導体層が積層されており、かつ、該透明電極の一部分を、該走査電極とを少なくとも該絶縁層を介して重なる蓄積容量部分を設けたことを特徴とする液晶表示装置。

【請求項2】請求項1において、該画素部の透明電極の電位と、走査電極電位との電位差を少なくとも2V以上とすることを特徴とする液晶表示装置の駆動法。

【請求項3】複数の走査電極とそれらに交叉した複数の信号電極と、それぞれの交点に少なくとも1つのTFT素子、及び1つの透明電極を形成した画素を複数配置したTFT基板と、該基板に対向する第2の電極との間に液晶を挟持する液晶表示装置において、少なくとも該画素と同一材料からなる信号電極を具備し、かつ、

走査電極の下には酸化珪素、窒化珪素または、金属酸化物薄膜及び、金属窒化物薄膜からなる絶縁層と、薄膜半導体層が積層されており、かつ、走査電極と並行に配置し、走査電極と同一材料で形成した、蓄積容量共通電極と、該透明電極の一部分とを少なくとも該絶縁層を介して重なる蓄積容量部分を設けたことを特徴とする液晶表示装置。

【請求項4】請求項1又は3において、該正スタガ構造を有するTFTにおいて、2本のドレイン電極をソース電極の両側に配置し、かつソース電極が該走査配線と直交し、少なくともソース電極の長さが走査配線の幅よりも長いことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は平面ディスプレイ素子に係り、特に構造を簡略化するTFTアクティブマトリクス液晶表示装置に関する。

## 【0002】

【従来の技術】本発明の改善点を明確にするため特開昭62-209586号を用いて従来技術について説明する。従来例では3枚のフォトマスクを用いてTFT基板を形成しており、1層目のマスクで透明電極を用いて表示電極と、信号電極を形成し、2層目のマスクを用いて、半導体層、絶縁層、抵抗層、そして第3層では走査配線電極をそれぞれ形成していた。この結果、ゲート電極が最上

部に存在する正スタガ構造のTFTが構成される。また、TFTにおけるゲート電極と、ドレイン電極との短絡を防ぐため、高抵抗層をゲート電極の下に形成していた。

## 【0003】

【発明が解決しようとする課題】上記従来技術ではガラス基板上にTFTと表示電極と、走査、信号配線とが形成された。一方、プロシーディングスオブインターナショナルディスプレイサーチコンファレンス ジャパンディスプレイ86の192頁から195頁によれば、アモルファスシリコンを用いたTFT-LCDでは走査配線に印加する走査信号により表示電極に印加する電圧が変動を受け、信号電圧とのずれが発生し、表示品質を低下させる原因の一つであるとの記述が有り、従来技術ではこの点について十分な配慮がなされていなかった。

【0004】本発明の目的は工程数と、マスク枚数を減らし、かつ表示品位の高い大容量マトリクス液晶表示装置を提供することにある。

## 【0005】

【課題を解決するための手段】上記目的は信号電極と、表示電極とを同一薄膜を用いて形成し、かつ、表示電極の一部を用いて、蓄積容量を構成し、蓄積容量に直流バイアスを印加し、駆動することにより達成される。

## 【0006】

【作用】同一薄膜を用いて形成した信号電極と表示電極を用いることにより工程数を節約して、正スタガ構造のTFTを形成することができる。また、表示電極の一部を用いて、蓄積容量を構成することにより、信号電圧とのずれを低減することにより、表示品質を向上させることができる。また、蓄積容量に直流バイアスを印加することにより、蓄積容量値が信号電圧により変化しないため、さらに表示品質を向上させることができる。

## 【0007】

【実施例】以下に本発明の実施例を説明する。はじめに第1の実施例について図1を用いて説明する。本図は画素部の平面図である。画素は信号配線1と、透明電極を用いた表示電極3とが酸化インジウムや、酸化錫などの透明導電膜を用いて形成される。したがって、ガラス基板（図示せず）上に形成した透明導電薄膜を第1回目のパターニングプロセスにより、表示電極3と、信号配線1とを一度に形成する。この時、信号配線1の一部に、TFTの2つのドレイン電極6、一つのソース電極5も同時に形成する。次にシリコン半導体膜、窒化シリコンまたは酸化シリコン薄膜の絶縁膜、アルミ、クロム、タンタルなどの金属薄膜を順次形成し、第2のパターニングプロセスでアルミ、クロム、タンタルなどの金属薄膜、窒化シリコンまたは酸化シリコン薄膜の絶縁膜、シリコン半導体膜、を順次パターニングすることに依り走査配線2を形成する。この時、先に形成した表示電極3の一部と、走査配線2を重ね合わせることに蓄積容

3

4

量部4を形成する。この画素部ソース、ドレイン電極部すなわちTFT7部(図中A-A')及び蓄積容量部(図中B-B')の断面図を図2、図3に各々示す。図2はTFT7部の断面図である。ガラス基板10上に透明電極11からなるソース電極5、ドレイン電極6。その上にはn型シリコン層12、i型シリコン層13、窒化シリコンまたは酸化シリコンからなる絶縁層14、アルミ、クロム、タンタルなどからなる金属薄膜層15が順次積層されている。これらの薄膜層はCVD法、スパッタ法により形成することができる。n型シリコン層は必ずしも必要ではないが、ITO上にも選択的に形成する方法がアイトリプルイートランザクションオブエレクトロニクス第ED-33号第8巻1212頁から1217頁に報告されており、この方法を用いることによりパターンング回数を増やすことなく性能の優れたTFTを形成することができる。図3は蓄積容量4の断面図であり、TFT7の場合と同様に、ガラス基板10上に透明電極11の上にはn型シリコン層12、i型シリコン層13、窒化シリコンまたは酸化シリコンからなる絶縁層14、アルミ、クロム、タンタルなどからなる金属薄膜層15が順次積層されている。この構成で、蓄積容量は、コンデンサを構成する。すなわち、透明電極11と、走査電極2を形成する金属薄膜層15とを電極とし、誘電体として絶縁層14、n型シリコン層12、i型シリコン層13を挟み込んだ並行平板型コンデンサを構成する。この場合、容量は誘電体層が半導体であるため、コンデンサの両端の印加電圧にたいして依存性がある。この様子を実験により測定した結果を図5に示す。横軸は蓄積容量への印加電圧VC(V)、縦軸は容量値Cである。印加電圧がの場合、容量値は最小値C0を取り、印加電圧を増加すると、しきい値Vthから容量は次第に増加し、約2Vから飽和の傾向を示す、また、容量は印加電圧の極性に依らず、印加電圧にたいしてほぼ対象の特性を示した。この特性から、印加電圧がしきい値を超え、2Vまでの動作点でこのコンデンサを使おうとすれば、印加電圧により容量が変化することが明らかとなった。この容量変動は、表示特性上では表示電極電

圧の変化となることが考えられるため、十分低減する必要がある。本発明では先の実験結果から得られた特性に着目し、コンデンサへの印加電圧を2V以上になるように駆動電圧を設定することにより容量変動を低減することができる。このときの画素部駆動波形の概略を図4に示す。走査電圧波形、信号電圧波形は常に2V以上のバイアスVDSを印加されている。

【0008】次に第2の実施例について図6を用いて説明する。本実施例では第1の実施例と同一の断面構造を有するが、平面構造のみを替えたものである。蓄積容量部として走査配線2とは独立した蓄積容量共通配線21を設け、表示電極3との重複部(図中ハッチング部)を蓄積容量22として用いる方法である。この構成により、蓄積容量部の動作点を走査配線印加電圧と独立して設定することができるため、蓄積容量変動をさらに低減することができる利点がある。また、蓄積容量共通電極を介して信号電極と別の経路から表示電極に交流的に電圧を印加できるため、液晶の駆動電圧構成に自由度が得られる利点がある。

【0009】

【発明の効果】本発明により、構造を簡略化し、かつ表示特性に優れたTFTアクティブマトリクス液晶表示装置が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施例の画素部の平面図である。

【図2】TFT部の断面図である。

【図3】蓄積容量の断面図である。

【図4】画素部駆動波形の概略図である。

【図5】蓄積容量の印加電圧依存性を示す図である。

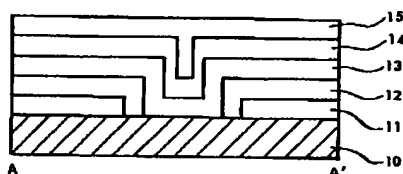
【図6】画素部の平面図である。

【符号の説明】

1…信号配線、2…走査配線、3…表示電極、4…蓄積容量部、5…ソース電極、6…ドレイン電極、7…TFT部、10…ガラス基板、11…透明電極層、12…n型シリコン層、13…i型シリコン層、14…絶縁層、15…金属薄膜層、21…蓄積容量共通配線、22…蓄積容量部。

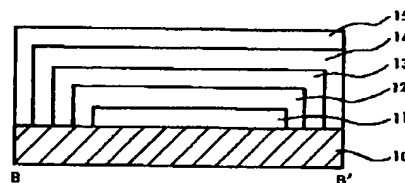
【図2】

図 2



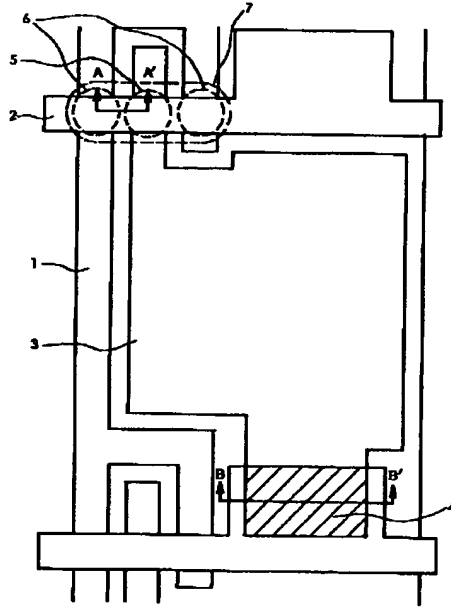
【図3】

図 3



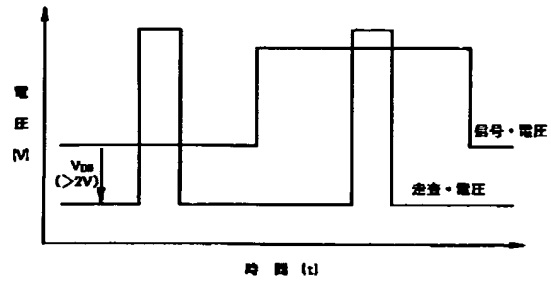
【図1】

図 1



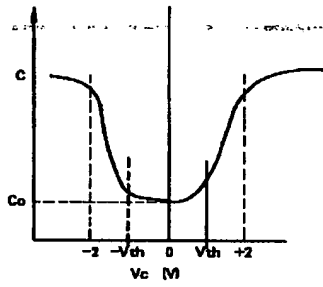
【図4】

図 4



【図5】

図 5



【図6】

図 6

